

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168096

(43)Date of publication of application : 22.06.1999

(51)Int.Cl.

H01L 21/316

H01L 21/31

(21)Application number : 09-334552

(71)Applicant : SONY CORP

(22)Date of filing : 04.12.1997

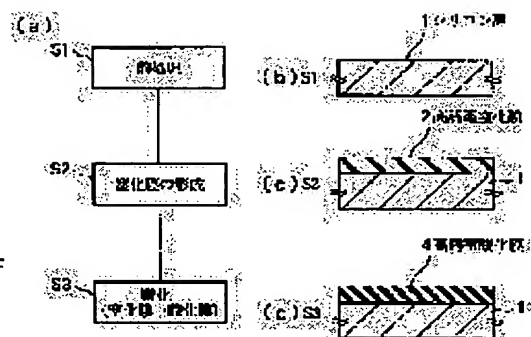
(72)Inventor : BUN NORIKI

(54) FORMATION OF HIGHLY DIELECTRIC OXIDE FILM

(57)Abstract:

PROBLEM TO BE SOLVED: To form a highly dielectric oxide film, directly on a silicon laver without deteriorating its characteristics (high dielectric property, insulating property).

SOLUTION: A highly dielectric nitride film 2 is formed on a silicon layer 1 and then is oxidized into highly dielectric oxide film 4. Preferably, the highly dielectric oxide film 4 has dielectric constant of 20 or above. the highly dielectric oxide film 4 contains mainly on of zirconium oxide, tantalum oxide, titanium oxide, cesium oxide, hafnium oxide and the highly dielectric nitride film 2 contains mainly one of zirconium nitride, tantalum nitride, titanium nitride, cesium nitride, or hafnium nitride. The enthalpy of the highly dielectric oxide film 4 is lower than that of the highly dielectric nitride film 2 or of a silicon oxide film and therefore is thermodynamically stable.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-168096

(43) 公開日 平成11年(1999) 6月22日

(51) Int.Cl.⁶
H 0 1 L 21/316
21/31

識別記号

F I
H 0 1 L 21/316
21/31

S
E

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平9-334552

(22) 出願日 平成9年(1997)12月4日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 文 範基

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

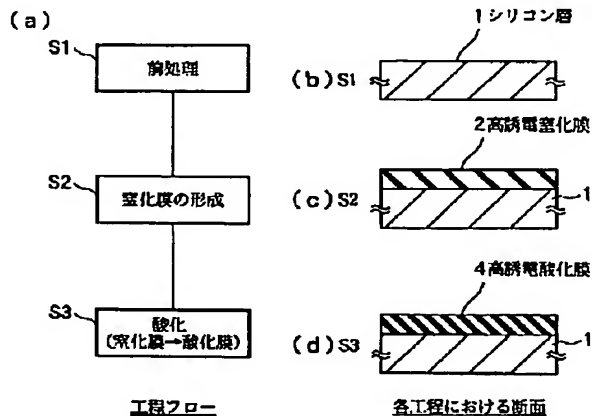
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 高誘電酸化膜の形成方法

(57) 【要約】

【課題】 高誘電酸化膜の特性 (高誘電性, 絶縁性) を劣化させることなくシリコン層上に直接、高誘電酸化膜を形成する。

【解決手段】 シリコン層 1 上に高誘電窒化膜 2 を形成した後、当該高誘電窒化膜 2 を酸化して高誘電酸化膜 4 に変化させる。好適には、高誘電酸化膜 4 は比誘電率が 20 以上である。高誘電酸化膜 4 の組成に酸化ジルコニウム、酸化タンタル、酸化チタン、酸化セシウム、酸化ハフニウムの何れかを主として含み、高誘電窒化膜 2 の組成に窒化ジルコニウム、窒化タンタル、窒化チタン、窒化セシウム、窒化ハフニウムの何れかを主として含む。高誘電酸化膜 4 のエンタルピーは、高誘電窒化膜 2 又はシリコン酸化膜のエンタルピーより低く、熱力学的に安定である。



【特許請求の範囲】

【請求項1】シリコン層上に高誘電酸化膜を形成する方法であって、
上記シリコン層上に高誘電窒化膜を形成した後、当該高誘電窒化膜を酸化して高誘電酸化膜に変化させる高誘電酸化膜の形成方法。

【請求項2】前記高誘電酸化膜は、比誘電率が20以上である請求項1に記載の高誘電酸化膜の形成方法。

【請求項3】前記高誘電酸化膜は、その組成に酸化ジルコニウム、酸化タンタル、酸化チタン、酸化セシウム、酸化ハフニウムの何れかを主として含む請求項1に記載の高誘電酸化膜の形成方法。

【請求項4】前記高誘電窒化膜は、その組成に窒化ジルコニウム、窒化タンタル、窒化チタン、窒化セシウム、窒化ハフニウムの何れかを主として含む請求項1に記載の高誘電酸化膜の形成方法。

【請求項5】前記高誘電窒化膜は、前記シリコン層上に形成したときに、多結晶、結晶、非晶質の何れかの状態を主として含む請求項1に記載の高誘電酸化膜の形成方法。

【請求項6】前記高誘電酸化膜のエンタルピーは、前記高誘電窒化膜のエンタルピーより低く、熱力学的に安定である請求項1に記載の高誘電酸化膜の形成方法。

【請求項7】前記高誘電酸化膜のエンタルピーは、シリコン酸化膜のエンタルピーより低く、熱力学的に安定である請求項1に記載の高誘電酸化膜の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば単結晶シリコン基板等のシリコン層上に、例えば酸化タンタル等の高誘電酸化膜を直接成膜する方法に関する。

【0002】

【従来の技術】例えば単結晶シリコン、ポリシリコン等のシリコン層上に、例えば酸化タンタル(Ta_2O_5)等の高誘電酸化膜を直接形成する成膜技術への必要性は高い。かかる成膜技術が必要とされる分野として、たとえば、単結晶シリコン基板の不純物拡散層等を下部電極としたMISキャパシタ、ポリシリコン電極を下部電極としたDRAMセル用メモリアキャパシタ、或いはMFISFET(Metal-Ferroelectric-Insulator-Semiconductor or FET)等の高誘電体膜をゲート絶縁膜に適用した次世代FET等を挙げることができる。

【0003】高誘電膜酸化膜の成膜には、一般に、リアクティブスパッタ法、CVD(Chemical Vapor Deposition)法或いはエピタキシャル成長法が用いられる。

【0004】ところが、これらの方法を用いて単結晶シリコン基板等のシリコン層上に高誘電酸化膜を直接に形成しようとする、高誘電酸化膜の酸化種からでてくる酸素(O)によりシリコン基板が優先的に酸化され、形成しようとする高誘電酸化膜より比誘電率が低い酸化シ

リコン(SiO_2)の層が高誘電酸化膜とシリコン基板との界面に生じてしまう。高誘電酸化膜とシリコン基板との界面に生じた SiO_2 層は、寄生容量として作用し、全体の容量値を低減させ、結局、所望の高誘電特性が得られない要因となる。

【0005】このような事態を回避するために、従来では、シリコン層表面を窒化処理して、シリコン層表面が殆ど酸化させないような表面処理を予め施す方法が一般的であった。また、上記シリコン層界面の SiO_2 層が形成されやすい成膜中の初期段階だけ、例えば水素(H_2)中で酸素(O)を還元させて成膜する方法もあった。

【0006】

【発明が解決しようとする課題】前者のシリコン層表面を窒化処理する方法では、シリコン層表面を窒化処理して窒化シリコン系の膜を薄く形成した後、その膜上に高誘電酸化膜を形成する。ところが、この方法によりシリコン層と高誘電酸化膜との間に設けられるシリコン窒化膜は、その誘電率が約7.0と従来の寄生的に生じるシリコン酸化膜の誘電率(約4.0)に比べると高いものの、形成しようとする高誘電酸化膜よりは誘電率がかなり低いので、このシリコン窒化膜が寄生容量として作用し、全体の容量値を低減させていた。

【0007】一方、後者の成膜中の初期段階だけ H_2 中でOを還元させる方法では、 SiO_2 層の形成は抑制できるが、 H_2 による酸素空孔欠陥が生じてリーク電流が増大し、膜の絶縁特性が劣化してしまうことから、高い絶縁特性が要求される用途には適さない。

【0008】本発明は、このような実情に鑑みてなされ、高誘電酸化膜の特性(高誘電性、絶縁性)を劣化させることなくシリコン層上に直接、高誘電酸化膜を形成する方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上記目的を達成するために、本発明の高誘電酸化膜の形成方法では、シリコン層上に高誘電酸化膜を形成する方法であって、上記シリコン層上に高誘電窒化膜を形成した後、当該高誘電窒化膜を酸化して高誘電酸化膜に変化させる。

【0010】前記高誘電酸化膜は、好適には、比誘電率が20以上である。また、望ましくは、高誘電酸化膜の組成に酸化ジルコニウム、酸化タンタル、酸化チタン、酸化セシウム、酸化ハフニウムの何れかを主として含む。また、望ましくは、前記高誘電窒化膜の組成に窒化ジルコニウム、窒化タンタル、窒化チタン、窒化セシウム、窒化ハフニウムの何れかを主として含む。

【0011】前記高誘電酸化膜のエンタルピーは、好ましくは、前記高誘電窒化膜のエンタルピーより低く、熱力学的に安定である。また、前記高誘電酸化膜のエンタルピーは、好ましくは、シリコン酸化膜のエンタルピー

より低く、熱力学的に安定である。

【0012】このような高誘電酸化膜の形成方法では、窒化膜を変化（酸化）させて高誘電酸化膜を得ることから、窒化膜の酸化工程（例えば、酸化雰囲気中のアニール）では、酸化種が窒化膜表面から膜中に拡散して高誘電窒化膜を高誘電酸化膜に変化させていく。また、高誘電酸化膜のエンタルピーは、高誘電窒化膜或いはシリコン酸化膜のエンタルピーより低く、熱力学的に安定である。したがって、酸化種がシリコン層との界面に到達し、かつシリコン層表面が酸化シリコンに変化するの

【0013】

【発明の実施の形態】以下、本発明に係る高誘電酸化膜の形成方法について、その実施形態を図面を参照しながら詳細に説明する。

【0014】図1は、本実施形態の高誘電酸化膜の形成方法の流れを示すプロセス工程図および各工程における断面図である。また、図2は図1中の前処理（S1）の

【0015】まず、表面側にシリコン層1を有する試料を用意する。当該シリコン層1は、単結晶、多結晶、非晶質の何れでもよい。また、シリコン層1としては、例えば、シリコン基板またはガラス基板等の基体上に絶縁膜等を介して積層されたシリコン薄膜、または単結晶シリコン基板そのものの表面領域が該当する。

【0016】ステップS1において、シリコン層1の表面を前処理する。前処理としては、例えば図2に示す方法が採用できる。この図2に例示した前処理法では、最初に試料を純水中で超音波洗浄した後（ステップS11）、例えばアセトン等の有機溶剤中に所定時間だけ浸漬或いは攪拌浸漬し（ステップS12）、再度、純水中で超音波洗浄を行う（ステップS13）。次いで、ステップS14において、酸による煮沸洗浄を行う。この洗浄は、具体的に、例えば硝酸（ HNO_3 ）による煮沸洗浄と、その後の過酸化水素（ H_2O_2 ）と塩酸（ HCl ）と水（ H_2O ）を3:1:5の体積比で溶かした溶液による煮沸洗浄との2段階で行う。これらの煮沸洗浄後、純水中で超音波洗浄を行う。次いでステップS15において、例えばフッ酸（ HF ）の1%水溶液に浸漬する。これは、シリコン層表面の未結合手を水素と結合させて、不純物の混入による空孔欠陥の発生を未然に防ぐために行う処理である。

【0017】つぎに、図1のステップS2において、シ

$$\Delta G(\text{ZrO}_2) < \Delta G(\text{ZrN})$$

【0024】また、熱力学関数の基本式は、自由エネルギーの増加量 ΔG 、絶対温度 T における系のエンタルピー、エントロピーの増加量をそれぞれ ΔH 、 ΔS とすると次の（2）式で示されるが、薄膜の場合は固体として

リコン層1上に高誘電窒化膜2を形成する。この高誘電窒化膜の形成は、例えば水素ガス雰囲気におけるリアクティブスパッタリング法、CVD法、レーザアブレーション法、エピタキシャル成長法等の何れの方法によっても達成可能である。このうち、エピタキシャル成長法による場合は、1原子層ごとの層成長を制御できるMBE（Molecular Beam Epitaxy）等が膜厚制御性に優れ有用である。または、通常の電子ビームによるソース溶解では溶融点が数千度となることを考慮すれば、レーザアブレーション法による成膜も有効である。形成する高誘電窒化膜2としては、窒化ジルコニウム（ ZrN ）、窒化タンタル（ TaN ）、窒化チタン（ TiN ）、窒化セシウム（ CeN ）、窒化ハフニウム（ HfN ）の何れかが選択される。

【0018】そして、本発明では、図1のステップS3において、この一旦形成した窒化膜2を成膜後に酸化して、高誘電酸化膜4に変化させる。つまり、高誘電窒化膜2中の窒素（ N ）を酸素（ O_x ）で置換させる。酸化条件の一例を、次表に示す。

【0019】

【表1】

酸化方法：ドライ O_2 酸化

温度：600℃～800℃

時間：10分～60分（所望膜厚により時間変更）

【0020】これにより、窒化ジルコニウム（ ZrN ）、窒化タンタル（ TaN ）、窒化チタン（ TiN ）、窒化セシウム（ CeN ）、窒化ハフニウム（ HfN ）は、高誘電酸化膜4として、それぞれ酸化ジルコニウム（ ZrO_2 ）、酸化タンタル（ Ta_2O_5 ）、酸化チタン（ TiO_2 ）、酸化セシウム（ CeO_2 ）、酸化ハフニウム（ HfO_2 ）に変化する。

【0021】この窒化膜の熱酸化が有効に最後まで、即ちシリコン層1との界面におけるシリコン酸化膜形成を伴うことなく全ての高誘電窒化膜2が高誘電酸化膜4に変化するには、次の熱力学的な2条件が満たされる必要がある。

【0022】第1の条件として、高誘電酸化膜のほうが高誘電窒化膜に比べ、熱力学的に安定であることが必要である。たとえば、 ZrN を酸化して ZrO_2 に変化させる場合、この反応が進行するには、ギブスの自由エネルギーの増加量 ΔG の大小関係が、次式を満たす必要がある。

【0023】

【数1】

$$\dots (1)$$

みることができるので（2）式の第2項は無視でき、 $\Delta G \approx \Delta H$ となる。これにより上記（1）式に代えて次の（3）式を満たすことが ZrN から ZrO_2 への変化が進行する条件となる。

【0025】

$$\Delta G = \Delta H - T \cdot \Delta S$$

$$\Delta H(ZrO_2) < \Delta H(ZrN)$$

【0026】ここで、ZrN及びZrO₂の温度が700℃と1000℃におけるエンタルピーの増加量を次表に示す。

【0027】

【表2】

・T=700℃

$$\Delta H(ZrO_2) = -2.2 \times 10^5 \text{ cal/g} \cdot \text{mol}(\text{O}_2)$$

$$\Delta H(ZrN) = -1.3 \times 10^5 \text{ cal/g} \cdot \text{mol}(\text{O}_2)$$

・T=1000℃

$$\Delta H(ZrO_2) = -2.0 \times 10^5 \text{ cal/g} \cdot \text{mol}(\text{O}_2)$$

$$\Delta H(ZrN) = -1.2 \times 10^5 \text{ cal/g} \cdot \text{mol}(\text{O}_2)$$

【0028】この〔表2〕より、ZrN膜は、ある温度で酸化雰囲気中に曝すと、ZrO₂膜に容易に変化し得ることが分かる。なお、このエンタルピーの増加量の関係が前記(3)式を満たさないと、欠陥がある一部分を除き殆どの膜部分は酸化されない。先に記述した他の高誘電窒化膜と高誘電酸化膜、即ちTa₂NとTa₂O₅、

$$\Delta H(\text{高誘電酸化膜}) < \Delta H(\text{SiO}_2)$$

【0031】次表には、先に示した各高誘電酸化膜とSiO₂膜の標準エンタルピーの変化量を例示する。

【0032】

【表3】

$$\Delta H(ZrO_2) = -982.0 \text{ kJ/mol}(\text{O}_2)$$

$$\Delta H(\text{TiO}_2) = -943.5 \text{ kJ/mol}(\text{O}_2)$$

$$\Delta H(\text{Ta}_2\text{O}_5) = -2044 \text{ kJ/mol}(\text{O}_2)$$

$$\Delta H(\text{CeO}_2) = -1089 \text{ kJ/mol}(\text{O}_2)$$

$$\Delta H(\text{HfO}_2) = -950 \text{ kJ/mol}(\text{O}_2)$$

$$\Delta H(\text{SiO}_2) = -907.9 \text{ kJ/mol}(\text{O}_2)$$

【0033】この〔表3〕に示すように、上述した各種高誘電酸化膜の何れも、そのエンタルピーの増加量がSiO₂膜のエンタルピーの増加量より小さく、熱力学的に安定であり、高誘電酸化膜がSiO₂膜に優先して形成される。なお、ZrO₂はキュービック結晶構造を有し誘電率が約30程度、TiO₂はルチール結晶構造を有し誘電率が結晶軸に垂直方向で約170程度、結晶軸に平行方向で約90程度である。また、Ta₂O₅はヘキサゴナル結晶構造を有し誘電率が約20～30程度、CeO₂はルチール結晶構造を有し誘電率が約20～25程度、HfO₂はキュービック結晶構造を有し誘電率が約15～25程度である。

【0034】つぎに、上述した成膜方法によってシリコン層上の高誘電酸化膜をキャパシタ絶縁膜に適用した場合を2例、FETのゲート絶縁膜に適用した場合を1例説明する。なお、これらの適用例(製造方法)は、高誘電酸化膜の形成に特徴を有しており、その特徴部分である高誘電酸化膜の形成方法は既に述べ、その他の部分の形成法は従来と変わらないので、ここでは断面構成のみ

【数2】

$$\dots (2)$$

$$\dots (3)$$

TiNとTiO₂、CeNとCeO₂、及びHfNとHfO₂の何れの組も、上記前記(3)式と同じ関係を満たし、窒化膜から酸化膜の生成が可能である。

【0029】第2の条件としては、変化後の高誘電酸化膜のほうが、シリコン酸化(SiO₂)膜より熱力学的に安定であることが必要である。つまり、上述した第1の条件は高誘電窒化膜と高誘電酸化膜との関係でエンタルピーの増加量を比較したが、これと同じような関係が高誘電窒化膜とSiO₂膜との間で成立しないと、できた高誘電窒化膜4とシリコン層1との間に優先的にSiO₂膜が形成されてしまうので、本成膜方法の目的が達成できない。したがって、SiO₂膜の形成を有効に防止するには、前記(3)式と対応した次式を満たす必要がある。

【0030】

【数3】

$$\dots (4)$$

を簡単に説明する。図3は、シリコン基板を下部電極とするMISキャパシタの断面図、図4は他のMISキャパシタ例としてのDRAM用フィン形メモリキャパシタの断面図、図5はMFISFETの要部断面図である。

【0035】図3に示すMISキャパシタ10の断面構造は、例えばp型の半導体基板12の表面上に形成されたn型のエピタキシャル成長層14と、そのエピタキシャル成長層14内の表面側に形成されたn⁺不純物拡散層11とを有している。このn⁺不純物拡散層11が、当該MISキャパシタ10の下部電極として機能する層であり、図1の“シリコン層”に該当する。n⁺不純物拡散層11およびエピタキシャル成長層14上は、例えば酸化シリコンからなる層間絶縁層16で覆われ、その層間絶縁層16に2つの接続孔16a、16bが開孔している。一方の接続孔16aを覆い、層間絶縁層16に一部延在するかたちで高誘電酸化膜4が、キャパシタ絶縁膜として形成され、その上に例えばメタルからなるキャパシタの上部電極17が形成されている。また、他方の接続孔16bを覆い、層間絶縁層16に一部延在するかたちで下部取出電極が形成されている。本例の下部取出電極は、下層のポリシリコン層18と上層メタル19とから構成されている。

【0036】このように下部電極層がシリコン層(例えば、単結晶シリコンからなるエピタキシャル成長層内の高濃度不純物拡散層)で構成されたMISキャパシタについて、そのキャパシタ絶縁膜を高誘電酸化膜から構成させることによって、高容量キャパシタが実現できる。その高容量キャパシタの形成に際し、上述した本発明の高誘電酸化膜の形成方法を用いると、シリコン層との界

面にシリコン酸化膜が形成させることがないので、誘電体材料の高誘電性が十分に反映された高い容量値を得ることができる。

【0037】図4に示すDRAM用セル20では、半導体基板21内の表面側にウェル22を形成し、その表面を部分的に酸化することにより、選択酸化領域(LOCOS24)と、それ以外の領域で素子が作り込まれるアクティブ領域26とに区分されている。LOCOS24とアクティブ領域26上に、例えば不純物が導入されたポリシリコンからなるワード線28が、それぞれ薄いゲート絶縁膜30を介して形成されている。とくにアクティブ領域26のワード線28は、選択トランジスタ32のゲート電極34を構成している。ゲート電極34の両側は、それぞれサイドウォール絶縁膜36が形成されており、また半導体基板21側には、LDD(Lightly Doped Drain)と呼ばれる特有なプロファイルの不純物拡散領域38(ソース領域およびドレイン領域)が形成されている。ゲート電極34およびワード線28を、たとえば酸化シリコン膜やリン含有膜(PSG)などからなる層間絶縁膜40と、たとえば窒化シリコンからなるエッチングストップ膜42とで覆っている。

【0038】層間絶縁膜40とエッチングストップ膜42とは、LOCOS24側の不純物拡散領域38に達するコンタクトホール44が形成され、このコンタクトホール44を介して、例えば不純物をドーピングしたポリシリコンからなるメモリキャパシタ50の下部電極46が立設している。この下部電極46が図1における“シリコン層1”に該当する。具体的に、下部電極46は、コンタクトホール44から上方に延びた柱周囲にフィン状部を所定間隔をおいて2枚重ねで具備している。このように下部電極46をフィン状に形成するのは、キャパシタを構造面からの高容量化するためである。すなわち、下部電極46の表面積を増やすことにより有効なキャパシタ面積を増大させ、これにより集積度の向上にともなう厳しいセル面積制限下でも十分な蓄積容量を確保することができる。

【0039】下部電極46の表面側に、高誘電酸化膜4が前述した方法により形成されている。高誘電酸化膜4上には、上部電極48が形成され、これによりメモリキャパシタ50が構成されている。なお、図では省略しているが、この上には、層間絶縁膜等を介してビット線や電極引き出し線などが配線され、各セル間を互いに接続している。

【0040】このように下部電極がシリコン層(例えば、不純物を導入したポリシリコン層)から構成されたメモリキャパシタについて、そのキャパシタ絶縁膜を高誘電酸化膜から構成させることによって、高容量キャパシタが実現できる。その高容量キャパシタの形成に際し、上述した本発明の高誘電酸化膜の形成方法を用いると、シリコン層(下部電極)との界面にシリコン酸化膜

が形成させることがないので、誘電体材料の高誘電性が十分に反映された高い容量値を得ることができる。

【0041】図5に示すMFI SFET60では、例えばp型のシリコン基板62内の表面側に不純物拡散領域として、ソース領域64とドレイン領域66が互いに離間して形成されている。そして、このソース領域64とドレイン領域66に挟まれた基板領域(チャネル形成領域)上に、高誘電酸化膜4と強誘電体膜68とからなるゲート絶縁膜が形成され、ゲート絶縁膜上に、例えば不純物が導入されたポリシリコンからなるゲート電極70が積層されている。なお、MISFETとする場合は、強誘電体膜68は省略される。

【0042】このチャネル形成領域がシリコン層(例えば、単結晶シリコン基板の表面領域)からなる絶縁ゲート形FETについて、そのゲート絶縁膜の最下層の膜を高誘電酸化膜から構成させることによって、チャネル形成領域に対する上層側のゲート電極(又は強誘電体膜)との結合容量が高いものとすることができる。このため、チャネルに対するゲート電極(又は強誘電体膜の分極)の電界支配力が強まり、駆動能力を高めたり、分極反転時の応答性を高めるなど、かかる構成の絶縁ゲート形FETの動作性能を向上させることが可能となる。このゲート絶縁膜の形成に際し、上述した本発明の高誘電酸化膜の形成方法を用いると、シリコン層との界面にシリコン酸化膜が形成させることがないので、誘電体材料の高誘電性が十分に反映させることができる。

【0043】

【発明の効果】本発明に係る高誘電酸化膜の形成方法によれば、窒化膜の酸化工程の終点を制御すれば、界面にシリコン酸化膜が形成されないでシリコン層上に高誘電酸化膜を形成できる。そのため、当該高誘電酸化膜を例えばキャパシタ絶縁膜に適用すれば、高誘電酸化膜の高誘電性が十分に反映された高い容量のMISキャパシタを容易に実現できるし、また、当該高誘電酸化膜を例えばFETのゲート絶縁膜に適用すれば当該FETの動作性能を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態に係る高誘電酸化膜の形成方法の流れを示すプロセス工程図および各工程における断面図である。

【図2】図1中の前処理(S1)の一具体例を示すプロセス工程図である。

【図3】図1の高誘電酸化膜の形成方法をキャパシタ絶縁膜の形成に適用したMISキャパシタの断面図である。

【図4】キャパシタ絶縁膜への他の適用例を示すフィン形メモリキャパシタを有するDRAMセルの断面図である。

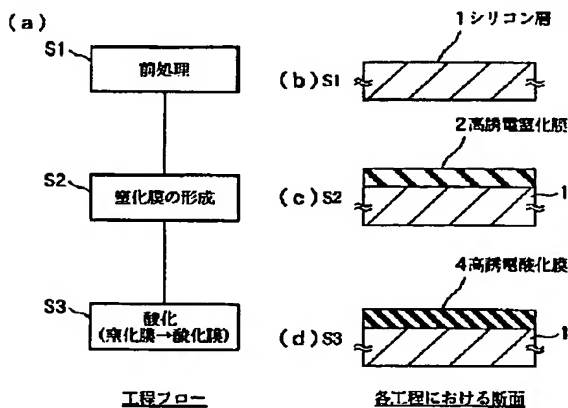
【図5】図1の高誘電酸化膜の形成方法をゲート絶縁膜の形成に適用したMFI SFETの要部断面図である。

【符号の説明】

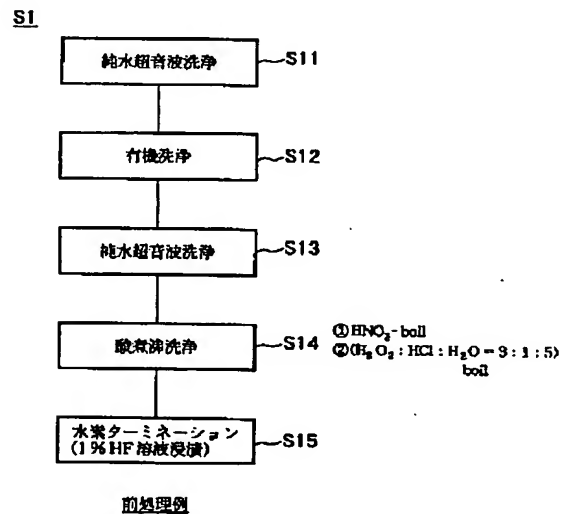
1…シリコン層、2…高誘電酸化膜、4…高誘電酸化膜、10…MISキャパシタ、12、21、62…半導体基板、11… n^+ 不純物拡散層（シリコン層）、14… n 型エピタキシャル成長層、16…層間絶縁膜、16a、16b…接続孔、17…上部電極、18…ポリシリコン層、19…上層メタル、20…DRAMセル、22…ウェル、24…LOCOS、26…アクティブ領域、

28…ワード線、30…ゲート絶縁膜、34…ゲート電極、36…サイドウォール絶縁膜、40…層間絶縁膜、42…エッチングストップ膜、44…コンタクトホール、46…下部電極（シリコン層）、48…上部電極、50…メモリキャパシタ、60…MFISFET、62…シリコン基板（シリコン層）、64…ソース領域、66…ドレイン領域、68…強誘電体膜、70…ゲート電極。

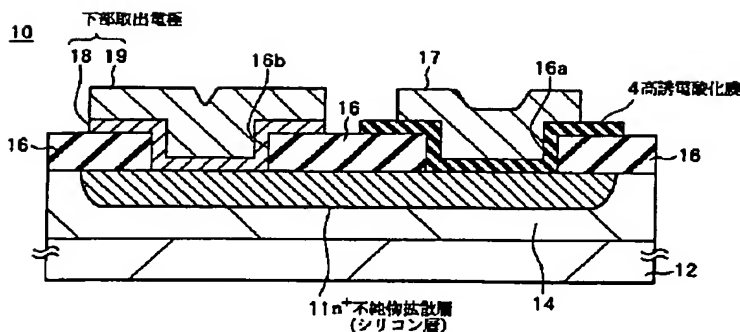
【図1】



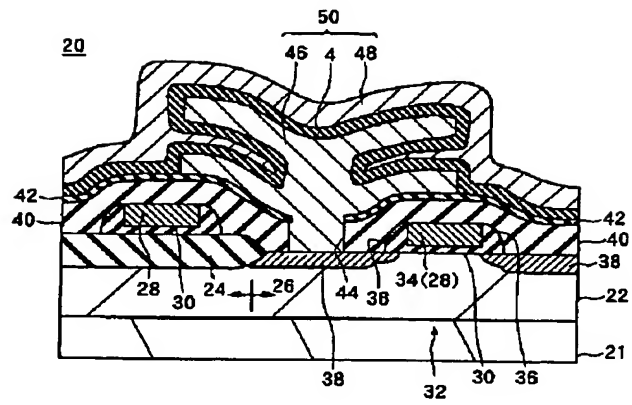
【図2】



【図3】



【図4】



【図5】

